

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028752

(43)Date of publication of application : 05.02.1993

(51)Int.CI.

G11C 11/401

G11C 11/413

G11C 11/417

(21)Application number : 03-204912

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.07.1991

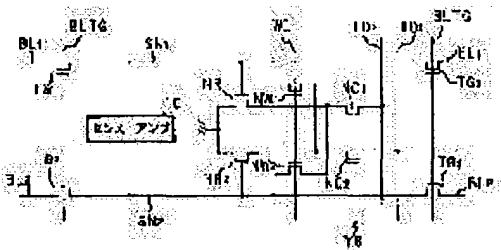
(72)Inventor : NAGAI MASANOBU
MATSUMOTO SHOICHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent from erroneously being read out a data by a malfunction of a sense amplifier caused by that an electric charge of an input/output line being precharged flows reversely into a sense node at a transient time of the amplification by a sense amplifier at a data read-out time.

CONSTITUTION: The input/output lines IO1, IO2 are grounded through N channel MOS transistors NC1, NC2 for column selection and read-out N channel type MOS transistors NR1, NR2 in which the gates are connected to bit lines BL1, BL2. The N channel MOS transistors NC1, NC2 for column selection are connected to the bit lines BL1, BL2 through the write-in N channel MOS transistors NW1, NW2 in which the gates are connected to a writing start signal line WE.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-28752

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.

G 11 C 11/401
11/413
11/417

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L
7323-5L

G 11 C 11/ 34

3 6 2 F

J

審査請求 未請求 請求項の数1(全5頁) 最終頁に続く

(21)出願番号

特願平3-204912

(22)出願日

平成3年(1991)7月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 永井 昌伸

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

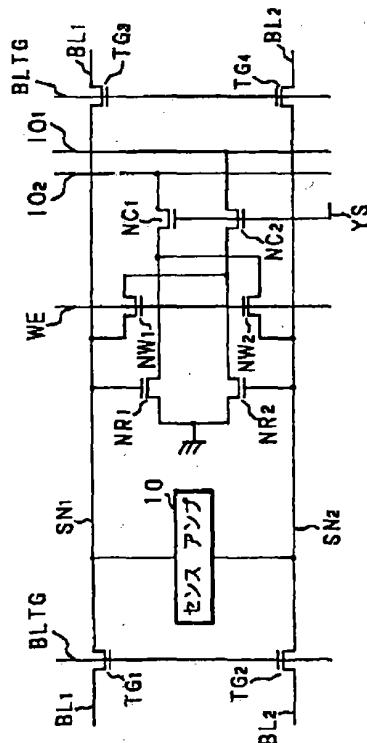
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 データ読み出しに際してのセンスアンプによる
増幅の過渡時に、プリチャージされた入出力線の電荷が
センスノードに逆流入することにより生じるセンスアン
プの誤動作でデータが誤読み出しされるのを防止する。

【構成】 入出力線 I_{O1} , I_{O2} をカラム選択用Nチャネ
ルMOSトランジスタ NC_1 , NC_2 、ゲートがピット線 BL_1 , BL_2 に接続された読み出し用Nチャネル型MOSトラン
ジスタス NR_2 , NR_1 を介在させて接地すると共に、カラ
ム選択用NチャネルMOSトランジスタ NC_1 , NC_2 、ゲー
トが書き込み開始信号線 WE に接続された書き込み用Nチャネ
ルMOSトランジスタ NW_1 , NW_2 を介在させてピット線 BL_1 , BL_2 に接続する。



【特許請求の範囲】

【請求項1】 メモリセルに接続されたピット線とデータの入出力線との間にトランジスタを介在させ、前記トランジスタに対する制御でデータの読み出し、書き込みを行うようにした半導体記憶装置において、

前記トランジスタは、ゲートがピット線に接続され、ドレインが前記入出力線に接続された読み出し用MOSトランジスタと、ゲートが書き込み開始信号線に接続された書き込み用MOSトランジスタとからなり、これら読み出し用MOSトランジスタ、書き込み用MOSトランジスタ夫々を含む回路を活性化する回路を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は入出力線を通じてデータの読み出し、書き込みが可能なDRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】 図2は従来のスタティックカラム動作モードのDRAMにおけるピット線対と入出力線対との接続関係を示す回路図であり、図中BL₁、BL₂はピット線対をなすピット線、IO₁、IO₂は入出力線対をなすデータ入出力線、BLTGはピット線トランスファゲートコントロール信号線を示している。各ピット線BL₁、BL₂はその一端部が図示しないメモリセルアレイ中のメモリセルに接続されており、また夫々途中にゲートをピット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOSトランジスタTG₁、TG₂、TG₃、TG₄が介装せしめられている。

【0003】 また両ピット線BL₁、BL₂には前記トランジスタTG₁、TG₃間、TG₂、TG₄間においてセンスアンプ10が接続されると共に、このセンスアンプ10による増幅が行われるノード、所謂センスノードSN₁、SN₂は夫々カラム選択用NチャネルMOSトランジスタNC₁、NC₂を介在させて入出力線IO₁、IO₂に接続されている。カラム選択用NチャネルMOSトランジスタNC₁、NC₂はそのゲートがカラム選択信号線YSに接続され、ソース又はドレインの一方がセンスノードSN₁、SN₂に、他方が入出力線IO₁、IO₂に接続されている。

【0004】 次にこのような半導体記憶装置の動作を説明する。先ずデータの読み出し動作においては入出力線IO₁、IO₂をプリチャージする一方、ピット線トランスファゲートコントロール信号線BLTGにハイレベルの信号

「H」を与えて選択されたピット線BL₁、BL₂を導通状態とする。これによって図示しないメモリセルからの微弱なデータはセンスノードSN₁、SN₂に導かれ、センスアンプ10にて増幅される。

【0005】 センスアンプ10による増幅は、例えばセンスノードSN₁のデータ信号をハイレベル「H」側に増幅するときはセンスノードSN₂のデータ信号はこれと対応

10

するローレベル「L」側に増幅するようになっている。カラム選択信号線YSにハイレベル「H」の信号を入力し、両カラム選択用NチャネルMOSトランジスタNC₁、NC₂をオン状態とする。これによってセンスノードSN₁は入出力線IO₁と、またセンスノードSN₂は入出力線IO₂と夫々接続されることとなり、データの読み出しが行われる。データの書き込み動作はカラム選択信号線YSにハイレベル「H」の信号を与え、各カラム選択用NチャネルMOSトランジスタNC₁、NC₂をオン状態とする。これによって各入出力線IO₁、IO₂をピット線BL₁、BL₂に接続し、入出力線IO₁、IO₂、ピット線BL₁、BL₂を通じてメモリセルにデータが書き込まれる。

【0006】 ところでこのような従来装置にあっては、データの読み出し時には入出力線IO₁、IO₂はいずれもプリチャージされており、カラム選択信号線YSにハイレベル「H」の信号を与えてカラム選択用NチャネルMOSトランジスタNC₁、NC₂をオン状態とすると入出力線IO₁、IO₂のハイレベル「H」の電荷がセンスノードSN₁、SN₂に逆流入する。

20

【0007】 センスノードSN₁、SN₂のデータがセンスアンプ10にて十分大きい電位差に迄増幅されている場合にはデータが破壊されることは少ないが、増幅途中においてはセンスアンプ10の動作が不安定となり、データが破壊されることが生じる。このためカラム選択信号線YSにハイレベル「H」の信号を設定するのはセンスアンプ10によるデータ信号の増幅が十分行われたタイミングで行われねばならずそのための待ち時間が必要となり、迅速な読み出しが出来ないという難点があった。

30

【0008】 図3は従来における他の半導体記憶装置におけるピット線と読み出し用データ線、書き込み用データ線との接続関係を示す回路図である。この半導体記憶装置においては入出力線に代わって一対の読み出しデータ線RD₁、RD₂、書き込みデータ線WD₁、WD₂及び書き込み開始信号線WEを備えており、これらとピット線BL₁、BL₂との間に読み出し用NチャネルMOSトランジスタNR₁、NR₂、カラム選択用NチャネルMOSトランジスタNC₁、NC₂、NC₃及び書き込み用NチャネルMOSトランジスタNW₁、NW₂が介在せしめられている。

40

【0009】 読出し用NチャネルMOSトランジスタNR₁、NR₂は夫々そのゲートをセンスノードSN₁、SN₂に、またドレインを読み出しデータ線RD₁、RD₂に、ソースをカラム選択用NチャネルMOSトランジスタNC₁を介して接地してある。カラム選択用NチャネルMOSトランジスタNC₁はゲートをカラム選択信号線YSに、またソースを接地せしめてある。カラム選択用NチャネルMOSトランジスタNC₂、NC₃はそのゲートをカラム選択信号線YSに、またソース又はドレインの一方をデータ線WD₁、WD₂に、他方を各書き込み用NチャネルMOSトランジスタNW₁、NW₂に接続されている。

50

【0010】 書込み用NチャネルMOSトランジスタ

W_1, NW_2 は夫々そのゲートを書き込み開始信号線WEに、またソース、ドレインの一方を前記カラム選択用NチャネルMOSトランジスタ NC_2, NC_3 に、他方をセンスノード SN_1, SN_2 に接続してある。他の構成は図2に示す従来装置と同じであり、対応する部位には同じ符号を付してある。

【0011】次にこのような半導体記憶装置の動作について説明する。データの読み出し動作は読み出しデータ線 RD_1, RD_2 をプリチャージしてハイレベル「H」に設定し、またビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」としてビット線 BL_1, BL_2 を導通状態とする。所定のメモリセルからのデータはセンスノード SN_1, SN_2 に導出されてセンスアンプ10にて増幅される。カラム選択信号線YSをハイレベル「H」に設定してカラム選択用NチャネルMOSトランジスタ NC_1 をオン状態にしておくと、データ信号がセンスアンプ10にて閾値を越えるレベルに増幅された時点で、読み出し用NチャネルMOSトランジスタ NR_1, NR_2 がオン状態となり、プリチャージされた読み出しデータ線 RD_1, RD_2 の電荷が放電され、データが読み出される。

【0012】なおデータの書き込みはカラム選択信号線YS及び書き込み開始信号線WEを夫々ハイレベル「H」に設定すると、カラム選択用NチャネルMOSトランジスタ NC_2, NC_3 及び書き込み用NチャネルMOSトランジスタ NW_1, NW_2 がいずれもオン状態となり、書き込みデータ線 WD_1, WD_2 はビット線 BL_1, BL_2 に接続され、所定のメモリセルにデータが書き込まれることとなる。

【0013】

【発明が解決しようとする課題】ところで図3に示す如き従来の半導体記憶装置にあっては、図2に示す従来装置の如く、読み出しデータ線 RD_1, RD_2 とビット線 BL_1, BL_2 とが直接接続されることがないため、読み出し時のデータ破壊が生じず、カラム選択信号の入力タイミングを早く設定することが可能で読み出し動作の高速化が図れる反面、読み出しと、書き込みが夫々別個の読み出しデータ線 RD_1, RD_2 、書き込みデータ線 WD_1, WD_2 によって行われ、しかも書き込み開始信号線WEも必要となるため、必要な路線長が長くなり、MOSトランジスタ等の素子数も多くバターン面積が増大する等の問題があった。本発明はかかる事情に鑑みなされたものであって、その目的とするとこころはデータ読み出し時のデータの破壊がなく、配線長が短くて済み、しかもトランジスタ等の素子数の増大を伴わない半導体記憶装置を提供するにある。

【0014】

【課題を解決するための手段】本発明に係る半導体記憶装置は、メモリセルに接続されたビット線とデータの入出力線との間にトランジスタを介在させ、前記トランジスタに対する制御でデータの読み出し、書き込みを行うようにした半導体記憶装置において、前記トランジスタは、ゲートがビット線に接続され、ドレインが前記入出力線

に接続された読み出し用MOSトランジスタと、ゲートが書き込み開始信号線に接続された書き込み用MOSトランジスタとからなり、これら読み出し用MOSトランジスタ、書き込み用MOSトランジスタ夫々を含む回路を活性化する回路を具備することを特徴とする。

【0015】

【作用】本発明にあっては、これによってデータの読み出し時に入出力線とビット線とが直接接続されることはなく、従って入出力線のプリチャージ電荷がビット線に逆流入することもない。

【0016】

【実施例】以下本発明をその実施例を示す図面に基づき具体的に説明する。図1は本発明に係る半導体記憶装置のビット線と入出力線との間の接続関係を示す回路図であり、図中 BL_1, BL_2 はビット線、 $I0_1, I0_2$ は入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。

【0017】各ビット線 BL_1, BL_2 の一端部は図示しないメモリセルに接続され、また途中にはゲートをビット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOSトランジスタ $TG_1 \sim TG_4$ が介装され、ビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」に設定することにより、選択されたビット線 BL_1, BL_2 が導通状態となりメモリセルアレイのデータ信号がビット線 BL_1, BL_2 に導通されるようになっている。

【0018】各ビット線 BL_1, BL_2 には前記NチャネルMOSトランジスタ TG_1, TG_3, TG_2, TG_4 の中間にいて、センスアンプ10が接続されている。センスアンプ10は例えばセンスノード SN_1 のデータ信号をハイレベル側に、同時にセンスノード SN_2 のデータ信号をこれと対応してローレベル側に増幅するようになっている。

【0019】ビット線 BL_1, BL_2 とデータの入出力線 $I0_1, I0_2$ との間にはカラム選択用NチャネルMOSトランジスタ NC_1, NC_2 及び読み出し用NチャネルMOSトランジスタ NR_1, NR_2 を、またカラム選択用NチャネルMOSトランジスタ NC_1, NC_2 、書き込み用NチャネルMOSトランジスタ NW_2, NW_1 を夫々介在させてある。

【0020】カラム選択用NチャネルMOSトランジスタ NC_1, NC_2 は夫々そのゲートをカラム選択信号線YSに接続され、ソース又はドレインの一方は入出力線 $I0_1, I0_2$ に、他方は読み出し用NチャネルMOSトランジスタ NR_1, NR_2 、並びに書き込み用NチャネルMOSトランジスタ NW_2, NW_1 に夫々並列的に接続されている。

【0021】読み出し用NチャネルMOSトランジスタ NR_1, NR_2 は、夫々そのゲートをビット線 BL_1, BL_2 におけるセンスノード SN_1, SN_2 に接続され、またソースは共に接地されている。一方、書き込み用NチャネルMOSトランジスタ NW_1, NW_2 は夫々そのゲートを書き込み開始信号線WEに、またソース、ドレインのうちの一方をビッ

ト線 BL_1 , BL_2 のセンスノード SN_1 , SN_2 に夫々接続している。

【0022】次にこのような半導体記憶装置の動作を説明する。読み出し又は書き込みに際しては先ずビット線トランスマニアゲートコントロール信号線 $BLTG$ をハイレベル「H」に設定し、ビット線トランスマニアトランジスタ TG_1 ～ TG_4 をオン状態に設定し、選択されたビット線 L_1 , BL_2 を導通状態とする。

【0023】読み出し動作は、先ず入出力線 IO_1 , IO_2 を夫々プリチャージし、ビット線 BL_1 , BL_2 を通じて選択されたメモリセルのデータを各ビット線 BL_1 , BL_2 におけるセンスノード SN_1 , SN_2 に導出する。これによってゲートがセンスノード SN_1 , SN_2 に接続されている読み出し用NチャネルMOSトランジスタ NR_1 , NR_2 がオン状態となる。データがセンスアンプ10にて増幅され、例えばセンスノード SN_1 のデータがハイレベル「H」側に増幅されたものとすると読み出し用NチャネルMOSトランジスタ NR_1 はオン状態のままであるが、読み出し用NチャネルMOSトランジスタ NR_2 はオフ状態となる。所定のタイミングでカラム選択信号線 YS をハイレベル「H」に設定し、カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 をオン状態とすると入出力線 IO_2 がカラム選択用NチャネルMOSトランジスタ NC_1 , 読出し用NチャネルMOSトランジスタ NR_1 を介在させて接地され、データの読み出しが行われる。

【0024】プリチャージされている入出力線 IO_1 又は IO_2 は直接ビット線 BL_1 , BL_2 のセンスノード SN_1 又は SN_2 のいずれとも接続せず、入出力線 IO_1 , IO_2 のハイレベル「H」の電荷がセンスノード SN_1 , SN_2 に逆流入されてデータが破壊されることがない。しかもデータの読み出し時におけるカラム選択信号線 YS をハイレベル「H」に設定するタイミングは、センスノード SN_1 , SN_2 のデータがセンスアンプ10にて増幅され、読み出し用NチャネルMOSトランジスタ NR_1 又は NR_2 のいずれか一方がオフ状態になった後に行えばよいから、図2に示す従来装置の場合よりも高速化が図れることとなる。

【0025】一方、データの書き込み動作はカラム選択信号線 YS 及び書き込み開始信号線 WE を夫々所定のタイミングでハイレベル「H」に設定する。これによって、カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 、書き込み用NチャネルMOSトランジスタ NW_1 , NW_2 がいずれもオン状態となり、入出力線 IO_1 はカラム選択用NチャネルMOSトランジスタ NC_2 、書き込み用NチャネルMOSトランジスタ NW_1 を介在させてセンスノード SN_1 に、また入出力線 IO_2 はカラム選択用NチャネルMOSトランジスタ NC_1 、書き込み用NチャネルMOSトランジスタ NW_2 を介在させてセンスノード SN_2 に夫々接続され、書き込みが行われることとなる。

【0026】

【発明の効果】以上の如く本発明装置にあっては読み出し用MOSトランジスタは夫々ゲートをビット線に、ドレンを入出力線に接続して設けてあるから、データが増幅されて読み出し用MOSトランジスタがオン状態になっても、入出力線は直接ビット線と接続されることがないから、データの破壊が生じず、しかも素子数の増大も少なくて済み、読み出し動作の高速化が図れる等、本発明は優れた効果を奏するものである。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置におけるビット線、入出力線相互の接続関係を示す回路図である。

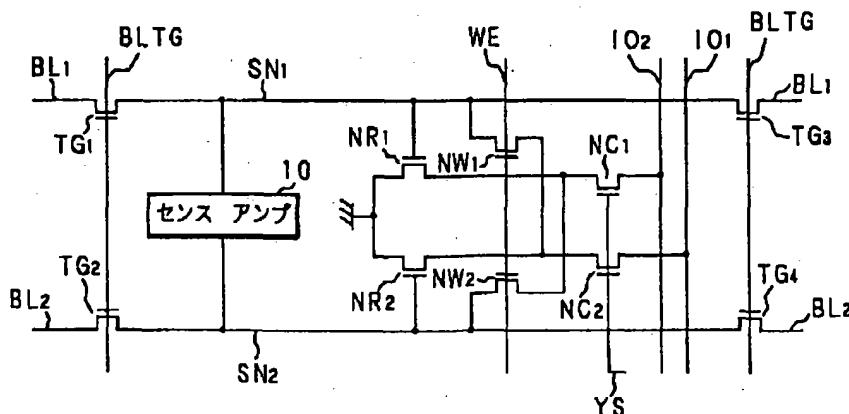
【図2】従来装置におけるビット線と入出力線との接続関係を示す回路図である。

【図3】他の従来装置におけるビット線と読み出しデータ線、書き込みデータ線との接続関係を示す回路図である。

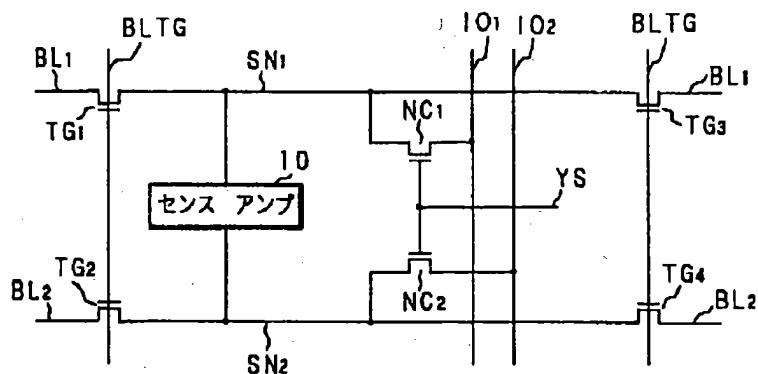
【符号の説明】

10	センスアンプ
BL_1 , BL_2	ビット線
IO_1 , IO_2	入出力線
YS	カラム選択信号線
NC_1 , NC_2	カラム選択用NチャネルMOSトランジスタ
NR_1 , NR_2	読み出し用NチャネルMOSトランジスタ
NW_1 , NW_2	書き込み用NチャネルMOSトランジスタ

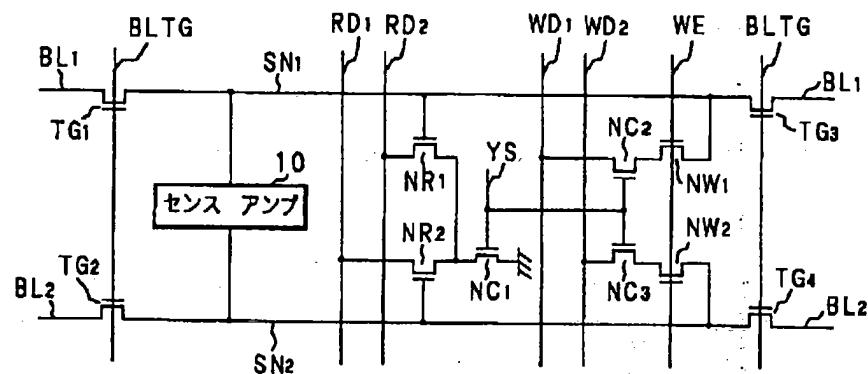
【図1】



【図2】



【図3】



フロントページの続き

(51) Int.Cl.⁵

識別記号 庁内整理番号

7323-5L

F I

G 11 C 11/34

技術表示箇所

305